

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Publication number: JP2000021772 (A)

Publication date: 2000-01-21

Inventor(s): MORITA ETSUO +

Applicant(s): SONY CORP +

Classification:

- **international:** H01L21/20; H01L21/205; H01L21/335; H01L33/12; H01L33/16; H01L33/32; H01S5/00; H01S5/323; H01S5/343; H01S5/02; H01L21/02; H01L33/00; H01S5/00; (IPC1-7): H01L21/20; H01L33/00; H01S5/30

- **European:** H01L21/205C3; H01L21/20B4; H01L21/335P3; H01L33/00G3B2; H01L33/20

Application number: JP19980180930 19980626

Priority number(s): JP19980180930 19980626

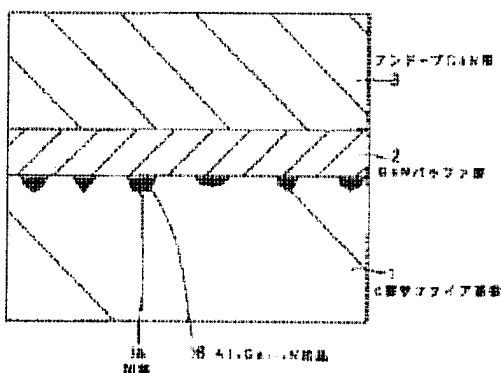
Also published as:

JP4352473 (B2)
US6232623 (B1)

Abstract of JP 2000021772 (A)

PROBLEM TO BE SOLVED: To improve the crystallinity of a nitride type III-V compd. semiconductor layer grown on a sapphire substrate.

SOLUTION: A plurality of recesses 1a are formed into one main plane of a sapphire substrate 1, a nitride type III-V compd. semiconductor layer is grown thereon, at least a part of the inner surface of the recess 1a makes an angle of 10 deg. or more with the one main plane of the sapphire substrate 1, the interior of the recess 1a is filled with a nitride type III-V compd. semiconductor crystal having a Al compsn. ratio higher than that of the nitride type III-V compd. semiconductor layer, e.g. Al_xGa_{1-x}N crystal 16 having an Al compsn. ratio x of 0.2 or more, and the recesses 1a are each 25 nm deep or more and 30 nm wide or more and may be formed, when the sapphire substrate 1 is thermally cleaned, or using the lithography, etching, thermal etching, etc.



Data supplied from the *espacenet* database — Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-21772
(P2000-21772A)

(43)公開日 平成12年1月21日(2000.1.21)

(51)Int.Cl. ⁷	識別記号	F I	テームコード*(参考)
H 0 1 L 21/20		H 0 1 L 21/20	5 F 0 4 1
	33/00		C 5 F 0 5 2
H 0 1 S 5/30		H 0 1 S 3/18	5 F 0 7 3

審査請求 未請求 請求項の数31 O L (全 12 頁)

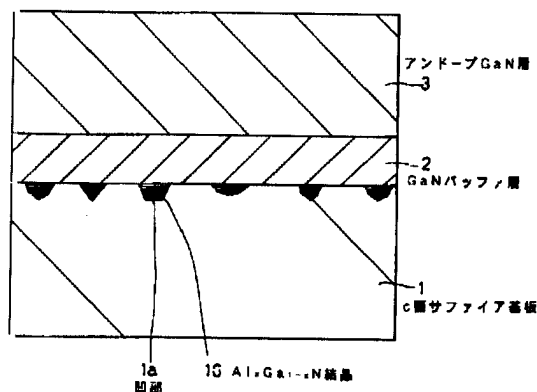
(21)出願番号	特願平10-180930	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成10年6月26日(1998.6.26)	(72)発明者	森田 悦男 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(74)代理人	100082762 弁理士 杉浦 正知
		Fターム(参考)	5F041 CA23 CA34 CA40 CA46 CA72 CA75 CA77 5F052 DA04 EA11 EA15 GC06 KA01 KA05 5F073 CA02 CA17 CB05 CB07 DA12 DA13 DA35

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 サファイア基板上に成長させる窒化物系ⅢⅠⅠ-Ⅴ族化合物半導体層の結晶性の向上を図る。

【解決手段】 サファイア基板1の一主面に複数の凹部1aを形成し、その上に窒化物系ⅢⅠⅠ-Ⅴ族化合物半導体層を成長させる。凹部1aの内面の少なくとも一部はサファイア基板1の一主面に対して10度以上の角度をなす。凹部1aの内部は、窒化物系ⅢⅠⅠ-Ⅴ族化合物半導体層よりもAl組成比が高い窒化物系ⅢⅠⅠ-Ⅴ族化合物半導体結晶、例えばAl組成比xが0.2以上の $Al_xGa_{1-x}N$ 結晶1bで埋め込まれる。凹部1aは深さを25nm以上、幅を30nm以上とする。凹部1aはサファイア基板1のサーマルクリーニング時に形成してもよいし、リソグラフィおよびエッチング、サーマルエッチングなどを用いて形成してもよい。



【特許請求の範囲】

【請求項1】 サファイア基板上に成長させた窒化物系ⅢⅢⅤ族化合物半導体層を用いた半導体装置において、

上記サファイア基板と上記窒化物系ⅢⅢⅤ族化合物半導体層との界面における上記サファイア基板に凹部が設けられていることを特徴とする半導体装置。

【請求項2】 上記凹部の内面の少なくとも一部が上記サファイア基板の上記窒化物系ⅢⅢⅤ族化合物半導体層側の一主面に対して10度以上の角度をなすことを特徴とする請求項1記載の半導体装置。

【請求項3】 上記サファイア基板の上記窒化物系ⅢⅢⅤ族化合物半導体層側の一主面がサファイア結晶の(0001)面または(0001)面から微小角度傾斜した面からなることを特徴とする請求項1記載の半導体装置。

【請求項4】 上記凹部は深さが25nm以上、幅が30nm以上あることを特徴とする請求項1記載の半導体装置。

【請求項5】 上記窒化物系ⅢⅢⅤ族化合物半導体層よりもA1組成比が大きい窒化物系ⅢⅢⅤ族化合物半導体結晶が上記凹部の内部に埋め込まれていることを特徴とする請求項1記載の半導体装置。

【請求項6】 上記凹部は深さが10nm以上、幅が30nm以上あることを特徴とする請求項5記載の半導体装置。

【請求項7】 上記サファイア基板と上記窒化物系ⅢⅢⅤ族化合物半導体層との界面に上記窒化物系ⅢⅢⅤ族化合物半導体層よりもA1組成比が大きい窒化物系ⅢⅢⅤ族化合物半導体結晶が上記凹部の内部に埋め込むように設けられていることを特徴とする請求項1記載の半導体装置。

【請求項8】 上記窒化物系ⅢⅢⅤ族化合物半導体層が $Al_{x1}Ga_{1-x1-y1}In_{y1}N$ ($0 \leq x1 \leq 1$, $0 \leq y1 \leq 1$, $0 \leq x1+y1 \leq 1$) からなり、上記窒化物系ⅢⅢⅤ族化合物半導体結晶が $Al_{x2}Ga_{1-x2-y2}In_{y2}N$ ($0 \leq x2 \leq 1$, $0 \leq y2 \leq 1$, $0 \leq x2+y2 \leq 1$) からなるとき、 $x2-x1 \geq 0.1$ であることを特徴とする請求項6記載の半導体装置。

【請求項9】 上記窒化物系ⅢⅢⅤ族化合物半導体層が $Al_{x1}Ga_{1-x1-y1}In_{y1}N$ ($0 \leq x1 \leq 1$, $0 \leq y1 \leq 1$, $0 \leq x1+y1 \leq 1$) からなり、上記窒化物系ⅢⅢⅤ族化合物半導体結晶が $Al_{x2}Ga_{1-x2-y2}In_{y2}N$ ($0 \leq x2 \leq 1$, $0 \leq y2 \leq 1$, $0 \leq x2+y2 \leq 1$) からなるとき、 $x2-x1 \geq 0.1$ であることを特徴とする請求項7記載の半導体装置。

【請求項10】 上記窒化物系ⅢⅢⅤ族化合物半導体層がGaN層である場合において、上記窒化物系ⅢⅢⅤ族化合物半導体結晶が $0.2 \leq x \leq 1$ の $Al_xGa_{1-x}N$ からなることを特徴とする請求項5記載の半導

体装置。

【請求項11】 上記窒化物系ⅢⅢⅤ族化合物半導体結晶が $0.2 \leq x \leq 1$ の $Al_xGa_{1-x}N$ からなることを特徴とする請求項7記載の半導体装置。

【請求項12】 上記凹部の内部に窒化物系ⅢⅢⅤ族化合物半導体結晶が埋め込まれており、上記窒化物系ⅢⅢⅤ族化合物半導体結晶の部分の透過電子顕微鏡像においてモアレ縞が観察されることを特徴とする請求項1記載の半導体装置。

【請求項13】 上記凹部の内部に窒化物系ⅢⅢⅤ族化合物半導体結晶が埋め込まれており、上記窒化物系ⅢⅢⅤ族化合物半導体結晶の(0002)反射とサファイア結晶の(0006)反射とを少なくとも励起した透過電子顕微鏡像において、上記凹部の部分に間隔が1.37~1.67nmのモアレ縞が観察されることを特徴とする請求項1記載の半導体装置。

【請求項14】 上記窒化物系ⅢⅢⅤ族化合物半導体結晶の(0002)反射とサファイア結晶の(0006)反射とを少なくとも励起した透過電子顕微鏡像において、上記凹部の部分に間隔が1.37~1.67nmのモアレ縞が観察されることを特徴とする請求項10記載の半導体装置。

【請求項15】 上記窒化物系ⅢⅢⅤ族化合物半導体結晶の(0002)反射とサファイア結晶の(0006)反射とを少なくとも励起した透過電子顕微鏡像において、上記凹部の部分に間隔が1.37~1.67nmのモアレ縞が観察されることを特徴とする請求項11記載の半導体装置。

【請求項16】 サファイア基板上に成長させた窒化物系ⅢⅢⅤ族化合物半導体層を用いた半導体装置の製造方法において、サファイア基板の一主面に凹部を形成した後、上記サファイア基板の上記一主面上に窒化物系ⅢⅢⅤ族化合物半導体層を成長させるようにしたことを特徴とする半導体装置の製造方法。

【請求項17】 上記凹部の内面の少なくとも一部が上記サファイア基板の上記一主面に対して10度以上の角度をなすことを特徴とする請求項16記載の半導体装置の製造方法。

【請求項18】 上記サファイア基板の上記一主面がサファイア結晶の(0001)面または(0001)面から微小角度傾斜した面からなることを特徴とする請求項16記載の半導体装置の製造方法。

【請求項19】 上記凹部は深さが25nm以上、幅が30nm以上あることを特徴とする請求項16記載の半導体装置の製造方法。

【請求項20】 上記サファイア基板の上記一主面上に第1の温度の基板温度で窒化物系ⅢⅢⅤ族化合物半導体からなるバッファ層を成長させ、次いで基板温度を上記第1の温度から上記第1の温度よりも高い第2の温

度に昇温した後、上記窒化物系ⅢⅢ-V族化合物半導体層を成長させるようにしたことを特徴とする請求項16記載の半導体装置の製造方法。

【請求項21】 上記サファイア基板上に基板温度を第3の温度からこの第3の温度よりも高い第4の温度に昇温しながら窒化物系ⅢⅢ-V族化合物半導体からなるバッファ層を成長させるようにしたことを特徴とする請求項16記載の半導体装置の製造方法。

【請求項22】 上記サファイア基板上に基板温度を第5の温度からこの第5の温度よりも高い第6の温度に昇温しながら窒化物系ⅢⅢ-V族化合物半導体層を直接成長させるようにしたことを特徴とする請求項16記載の半導体装置の製造方法。

【請求項23】 上記基板温度の昇温時の熱処理により、上記サファイア基板の上記凹部の内部に埋め込まれた上記バッファ層を結晶化または結晶性を向上させるとともに、上記サファイア基板のA1を上記バッファ層に拡散させることにより、少なくとも上記サファイア基板の上記凹部の内部に埋め込まれた、上記窒化物系ⅢⅢ-V族化合物半導体層よりもA1組成比が高い窒化物系ⅢⅢ-V族化合物半導体結晶を形成するようにしたことを特徴とする請求項21記載の半導体装置の製造方法。

【請求項24】 上記基板温度の昇温時の熱処理により、上記サファイア基板の上記凹部の内部に埋め込まれた上記バッファ層を結晶化または結晶性を向上させるとともに、上記サファイア基板のA1を上記バッファ層に拡散させることにより、少なくとも上記サファイア基板の上記凹部の内部に埋め込まれた、上記窒化物系ⅢⅢ-V族化合物半導体層よりもA1組成比が高い窒化物系ⅢⅢ-V族化合物半導体結晶を形成するようにしたことを特徴とする請求項22記載の半導体装置の製造方法。

【請求項25】 上記基板温度の昇温時の熱処理により、上記サファイア基板の上記凹部の内部に埋め込まれた上記窒化物系ⅢⅢ-V族化合物半導体層を結晶化または結晶性を向上させるとともに、上記サファイア基板のA1を上記窒化物系ⅢⅢ-V族化合物半導体層に拡散させることにより、少なくとも上記サファイア基板の上記凹部の内部に埋め込まれた、上記窒化物系ⅢⅢ-V族化合物半導体層よりもA1組成比が高い窒化物系ⅢⅢ-V族化合物半導体結晶を形成するようにしたことを特徴とする請求項23記載の半導体装置の製造方法。

【請求項26】 上記凹部は深さが10nm以上、幅が30nm以上あることを特徴とする請求項23記載の半導体装置の製造方法。

【請求項27】 上記凹部は深さが10nm以上、幅が30nm以上あることを特徴とする請求項24記載の半導体装置の製造方法。

【請求項28】 上記凹部は深さが10nm以上、幅が

30nm以上あることを特徴とする請求項25記載の半導体装置の製造方法。

【請求項29】 上記バッファ層を成長させる前に上記サファイア基板の上記一主面を窒化しておくようにしたことを特徴とする請求項20記載の半導体装置の製造方法。

【請求項30】 上記バッファ層を成長させる前に上記サファイア基板の上記一主面を窒化しておくようにしたことを特徴とする請求項21記載の半導体装置の製造方法。

【請求項31】 上記窒化物系ⅢⅢ-V族化合物半導体層を成長させる前に上記サファイア基板の上記一主面を窒化しておくようにしたことを特徴とする請求項22記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置およびその製造方法に関し、特に、GaNなどの窒化物系ⅢⅢ-V族化合物半導体を用いた半導体レーザや発光ダイオードあるいは電子走行素子に適用して好適なものである。

【0002】

【従来の技術】緑色あるいは青色から紫外線領域におよぶ発光材料として、Al、Ga、InなどのⅢ族元素とNを含むV族元素とからなる、GaNに代表される窒化物系ⅢⅢ-V族化合物半導体を用いた半導体レーザや発光ダイオードが開発されている。このうち、発光ダイオードについてはすでに実用化されている。一方、半導体レーザにおいては、室温連続発振が実現されているものの、長寿命化のためには窒化物系ⅢⅢ-V族化合物半導体のさらなる結晶性の改善が必要とされている。そのために、ELO-GaN (Epitaxially laterally overgrown GaN) などのGaNの結晶性を向上させる技術も応用されて効果を発揮している。しかし、その基本となる、結晶基板上に成長させた窒化物系ⅢⅢ-V族化合物半導体層自体の結晶性のさらなる向上も望まれている。

【0003】一般的には基板結晶としてはサファイアまたはSiCが用いられ、十分に平坦化および鏡面化加工された結晶基板表面の清浄化が成長装置の中で行われた後、その上に窒化物系ⅢⅢ-V族化合物半導体層の成長が行われる。この場合、目的とする半導体装置を製造するには、原子レベルで平坦な表面または界面構造を有する各種積層構造を形成することが必要であるため、基板表面も平坦さが維持または平坦化されるような表面清浄化方法および成長方法が用いられている。

【0004】結晶基板面を微傾斜させてその上の成長様式をステップフロー (Step Flow) モードにすることによって窒化物系ⅢⅢ-V族化合物半導体層の結晶性を向上させる方法も提案されている (特開平7-20174

5号公報)。

【0005】GaAs基板やInP基板を用いた場合においては、導波路中の導波光を反射する目的で、(001)基板表面に(111)B面からなる回折格子を形成した基板にバッファ層を成長させてから、窒化物系III-V族化合物半導体層を成長させることが行われている(特開平8-264901号公報)。

【0006】また、サファイア基板とその上の窒化物系III-V族化合物半導体層との間に、AlNバッファ層をはさんだり(特開平2-229476号公報)、GaNまたはAlGaNバッファ層をはさんだり(特開平4-297023号公報、特開平7-312350号公報)することによって結晶性の向上を図る手法や、サファイア基板表面を窒化することによって結晶性を向上させる手法(特開平5-41541号公報)などが知られている。また、格子定数の異なる複数のバッファ層を連続して積層し、基板とバッファ層、バッファ層とその上のエピタキシャル層との格子定数差を小さくすることによって格子不整による欠陥を低く抑える方法が知られている(特開平9-63962号公報)。

【0007】

【発明が解決しようとする課題】一般に、サファイア基板やSiC基板上に成長させた窒化物系III-V族化合物半導体結晶には、結晶方位の「ふらつき」があるとされている。つまり、この窒化物系III-V族化合物半導体結晶は「モザイク結晶」である。この結晶方位のふらつきは、大きく分けて、基板表面に垂直な軸の周りに回転するような方向にふらつく「ツイスト(Twist)」モザイク成分と、軸方位が垂直方向からずれる方向にふらつく「チルト(Tilt)」モザイク成分とに分けることができる。これらのふらつきの大きさは通常、0.01~0.5°程度あるとされている。この結晶方位のふらつきの原因は、使用する基板とその上に成長させる窒化物系III-V族化合物半導体層との結晶構造が異なること、および、それらの格子定数が互いに大きく異なるためであると考えられている。また、安定なサファイア結晶と窒化物系III-V族化合物半導体結晶との原子間結合がそれらの結晶内部に比べて相対的に弱いために、成長時にサファイア結晶からの結晶方位の引き継ぎが正確に行われにくいことも要因と考えられる。

【0008】以上のようなモザイク結晶性のために、窒化物系III-V族化合物半導体層を用いた半導体発光素子においては、発光効率の低下など、素子特性の向上が妨げられたり、寿命が短いなど、素子としての信頼性に問題が生じている。

【0009】したがって、この発明の目的は、サファイア基板上に成長させる窒化物系III-V族化合物半導体層の結晶性の向上を図ることができる半導体装置およびその製造方法を提供することにある。

【0010】

【課題を解決するための手段】本発明者は、従来技術が有する上述の課題を解決すべく、鋭意検討を行った。以下にその概要について説明する。

【0011】本発明者は、サファイア基板上に成長させる窒化物系III-V族化合物半導体の結晶性の向上を図るためには、サファイア基板の表面がどのような状態にあるのが最適であるかについて検討した。このサファイア基板の表面については、これまでは、より平坦であることが望ましいと考えられ、平坦化に努力が払われていたと言える。例えば、特開平8-83802号公報には、常圧雰囲気中で900℃以上の温度に加熱してサファイア基板を熱処理する際に、面方位に対応して加熱時間および加熱温度を選択することによりサファイア基板表面の原子ステップ高さおよびテラス幅を制御することで、超平坦で、実質的に同一結晶方位を持つテラス面のみからなり、しかも直線状の規則的なステップサイトを持つ基板表面を得る技術が提案されている。

【0012】しかしながら、本発明者の検討によれば、サファイア基板上に成長させる窒化物系III-V族化合物半導体の結晶性の向上を図るためには、上記の平坦化とは全く逆に、サファイア基板の表面に積極的に凹部を形成しておく方がよい。これは次のような理由による。

【0013】平坦なサファイア基板表面での結晶成長(気相成長および固相成長を含む)過程では、成長する窒化物系III-V族化合物半導体結晶の結晶方位は、基板表面に平行なただ一つの界面をはさむ窒化物系III-V族化合物半導体原子とサファイア結晶原子との相互作用のみで決定されるため、この界面での相互作用力が大きくないと、すでに述べた結晶方位のふらつきが大きくなる。特に、面内方向の結晶方位のふらつき(ツイスト成分)の制御が弱くなる。これに対して、凹みを有する界面においては、基板に平行ではない斜め方向の結晶面を介して横方向の束縛力で結晶方位が限定されることによって、結晶方位を制限することが可能である。このため、サファイア基板とその上に成長する窒化物系III-V族化合物半導体結晶との結晶方位関係をより正確に一致させることが可能となる。

【0014】ここで、均一な結晶方位のステップ状の微傾斜基板を用いる方法においては、結晶方位の束縛は1方向なのに対して、サファイア基板表面に凹部を設けた場合には、このサファイア基板上の窒化物系III-V族化合物半導体の成長は複数の結晶方向および結晶面によって制限されるため、サファイア基板とその上に成長する窒化物系III-V族化合物半導体層との結晶方位関係の一致に関してより大きな効果を得ることができる。

【0015】この発明は、本発明者による以上のような検討に基づいて案出されたものである。すなわち、上記目的を達成するために、この発明の第1の発明は、サフ

ァイア基板上に成長させた窒化物系ⅡⅡⅠ-V族化合物半導体層を用いた半導体装置において、サファイア基板と窒化物系ⅡⅡⅠ-V族化合物半導体層との界面におけるサファイア基板に凹部が設けられていることを特徴とするものである。

【0016】この発明の第2の発明は、サファイア基板上に成長させた窒化物系ⅡⅡⅠ-V族化合物半導体層を用いた半導体装置の製造方法において、サファイア基板の一主面に凹部を形成した後、サファイア基板の一主面に窒化物系ⅡⅡⅠ-V族化合物半導体層を成長させるようにしたことを特徴とするものである。

【0017】この発明において、サファイア基板の凹部は、種々の断面形状および平面形状とすることができ、点状であっても、線状であっても、点状のものと線状のものとを組み合わせたものであってもよい。また、これらの凹部は、種々の方法によって形成することができ、例えば、サファイア基板の表面をサマルクリーニングする際の条件の制御や、リソグラフィー技術およびエッチング技術の利用や、サマルエッチングなどにより形成してもよい。

【0018】この発明において、サファイア基板上に窒化物系ⅡⅡⅠ-V族化合物半導体層を成長させる際に、複数の結晶方向および結晶面によって成長を制限し、サファイア基板とその上に成長させる窒化物系ⅡⅡⅠ-V族化合物半導体層との結晶方位関係のより正確な一致を図る観点から、好適には、サファイア基板の凹部の内面の少なくとも一部がサファイア基板の一主面に対して10度以上の角度をなすようにする。また、凹部の大きさについては、同様な観点から、好適には、深さを25nm以上、幅を30nm以上とする。あるいは、後述のようにサファイア基板からのAlの拡散を容易にする観点からは、凹部の深さを10nm以上、幅を30nm以上とする。また、これらの凹部の幅は、好適には5μm以下、典型的には2μm以下である。

【0019】この発明において、典型的には、サファイア基板の一主面がサファイア結晶の(0001)面(いわゆるc面)または(0001)面から微小角度傾斜した面からなる。ここで、微小角度とは、10度以内の角度を意味する。サファイア基板の一主面がこれらの面である場合、凹部の内面には種々の結晶面が現れ得る。具体的には、例えば、サファイア結晶の{11-26}面、{11-29}面などが現れる。実際に形成された凹部の内面の結晶面の角度の測定によると、凹部によって角度が異なるが、これらの二つの結晶面またはその間の角度になっている。

【0020】この発明において、窒化物系ⅡⅡⅠ-V族化合物半導体層が形成された状態のサファイア基板の凹部の内部は、結晶方位のそろった窒化物系ⅡⅡⅠ-V族化合物半導体結晶で埋め込まれている。ただし、必ずしも複数の凹部の全てが窒化物系ⅡⅡⅠ-V族化合物半導

体結晶で埋め込まれている必要はない。この凹部に埋め込まれた、結晶方位のそろった窒化物系ⅡⅡⅠ-V族化合物半導体は、例えば、一主面に凹部が形成されたサファイア基板上に窒化物系ⅡⅡⅠ-V族化合物半導体のバッファ層を低温で成長させた後、より高温で熱処理することにより形成することができる。この方法は、サファイア基板上にまず低温で窒化物系ⅡⅡⅠ-V族化合物半導体のバッファ層を成長させてから、基板温度を昇温させてこのバッファ層上に窒化物系ⅡⅡⅠ-V族化合物半導体層を成長させるプロセスを用いる場合に適合するものであるが、バッファ層の成長からその上の窒化物系ⅡⅡⅠ-V族化合物半導体層の成長を基板温度を低温から高温に連続的に昇温させながら行うことによって、成長中断による異常界面形成のない積層構造を実現することができる。さらに、別の方法として、バッファ層を成長させずに、サファイア基板上に、基板温度を低温から高温に昇温させながら、窒化物系ⅡⅡⅠ-V族化合物半導体層を直接成長させ、サファイア基板の凹部に窒化物系ⅡⅡⅠ-V族化合物半導体結晶を埋め込んでもよい。具体的には、例えば、基板温度500~520℃から窒化物系ⅡⅡⅠ-V族化合物半導体層の成長を開始して1000~1100℃まで基板温度を昇温させながら成長を続ける。そして、基板温度が1000~1100℃まで上昇したら、基板温度をその温度に保持して成長を続ける。ただし、窒化物系ⅡⅡⅠ-V族化合物半導体層中にGaInN層などのInを含む層が含まれる場合、その層の成長は700~800℃の基板温度で行う。

【0021】ここで、サファイア基板の凹部の中に結晶方位のそろった窒化物系ⅡⅡⅠ-V族化合物半導体結晶が形成されていることは、透過電子顕微鏡を用いたモアレ縞形成の有無によって判断することができる。例えば、窒化物系ⅡⅡⅠ-V族化合物半導体結晶の(0002)反射とサファイア結晶の(0006)反射とを少なくとも励起した透過電子顕微鏡像において、サファイア基板の凹部の内部に現れるこれらの格子面によるモアレ縞を観察することによって、結晶方位のそろった窒化物系ⅡⅡⅠ-V族化合物半導体結晶の成長を確かめることができる。このモアレ縞は、成長させた窒化物系ⅡⅡⅠ-V族化合物半導体の成分および組成に依存する間隔を有する。

【0022】この発明において、典型的には、サファイア基板とその上の窒化物系ⅡⅡⅠ-V族化合物半導体層との界面に、Al₂O₃からなるサファイア基板を起源とするAlが拡散した高Al組成比窒化物系ⅡⅡⅠ-V族化合物半導体結晶からなるバッファ層が、サファイア基板の凹部を埋め込むように形成される。この高Al組成比窒化物系ⅡⅡⅠ-V族化合物半導体結晶は、サファイア基板の凹部の内部にのみ埋め込まれることもある。ここで、このバッファ層との界面におけるサファイア基板に凹部が設けられているため、サファイア基板とバッ

ファ層との接触面積は凹部の内面の面積分だけ増加しているため、サファイア基板からバッファ層へのAlの拡散は容易に行われる。例えば、窒化物系III-V族化合物半導体層が $Al_{x1}Ga_{1-x1-y1}In_{y1}N$ ($0 \leq x1 \leq 1$, $0 \leq y1 \leq 1$, $0 \leq x1+y1 \leq 1$) からなり、窒化物系III-V族化合物半導体結晶が $Al_{x2}Ga_{1-x2-y2}In_{y2}N$ ($0 \leq x2 \leq 1$, $0 \leq y2 \leq 1$, $0 \leq x2+y2 \leq 1$) からなる場合、好適には、 $x2-x1 \geq 0$ 、1となるようにする。この高Al組成比窒化物系III-V族化合物半導体結晶が形成されることにより次のような効果が得られる。すなわち、例えば、窒化物系III-V族化合物半導体層がGaN層である場合、高Al組成比窒化物系III-V族化合物半導体結晶はAlGaN結晶となるが、このAlGaN結晶によりサファイア基板とGaN層とをAlを介して連続的に接続することができるとともに、このAlGaN結晶はGaN層に比べてよりサファイア基板に近い格子定数を有することによりサファイア基板とGaN層との格子定数差を緩和することができ、また、格子定数差によって生じる不一致転位を減少させることができる。この高Al組成比窒化物系III-V族化合物半導体結晶の形成は、低温でバッファ層を成長させた後の基板温度の昇温時の熱処理により行うことができる。あるいは、バッファ層を成長させることなく、サファイア基板上に、基板温度を低温から高温に上昇させながら、窒化物系III-V族化合物半導体層を直接成長させる場合には、基板温度の昇温の過程で行うことができる。さらにまた、サファイア基板からのAlの拡散を有効に行わせる観点からは、好適には、成長前にサファイア基板の一面を窒素を含むガスにさらして窒化することによりAlとNとからなる層を形成しておく。これらの場合、サファイア基板に凹部が形成されていることにより、サファイア基板とその上に成長される層との界面の接触面積が増大し、Alの拡散反応が促進される。

【0023】ここで、サファイア基板と窒化物系III-V族化合物半導体層との界面に高Al組成比窒化物系III-V族化合物半導体結晶が形成されていることは、透過電子顕微鏡を用いたモアレ縞を観察することによって確認することができる。より具体的には、窒化物系III-V族化合物半導体結晶の(0002)反射とサファイア結晶の(0006)反射とを少なくとも励起した透過電子顕微鏡像において界面領域に間隔が0.8~1.7nmのモアレ縞が観察されること、あるいは、窒化物系III-V族化合物半導体結晶の(01-10)反射とサファイア結晶の(11-20)反射とを少なくとも励起した透過電子顕微鏡像において界面領域に間隔が1~2.1nmの間隔のモアレ縞が観察されること、あるいは、窒化物系III-V族化合物半導体結晶の(0-220)反射とサファイア結晶の(03-30)反射とを少なくとも励起した透過電子顕微鏡像にお

いて0.6~1.2nmの間隔のモアレ縞が観察されることによって判断することができる。

【0024】この発明において、窒化物系III-V族化合物半導体は、Ga、Al、InおよびBからなる群より選ばれた少なくとも一種のIII族元素と、少なくともNを含み、場合によってはAsまたはPを含むV族元素とからなり、具体例を挙げると、GaN、InN、AlN、AlGaN、GaInN、AlGaInNなどである。

【0025】この発明において、窒化物系III-V族化合物半導体層の成長には、有機金属化学気相成長(MOCVD)法や、分子線エピタキシー(MBE)法などを用いることができる。

【0026】この発明において、半導体装置は、基本的にはどのようなものであってもよいが、具体的には、半導体レーザや発光ダイオードなどの発光素子あるいはGaN系FETなどの電子走行素子である。

【0027】上述のように構成されたこの発明によれば、サファイア基板の一面に凹部が設けられていることにより、このサファイア基板上における窒化物系III-V族化合物半導体層の成長を複数の結晶方向および結晶面によって制限することができ、それによって、サファイア基板とその上に成長する窒化物系III-V族化合物半導体との結晶方位関係をより正確に一致させることができる。

【0028】

【発明の実施の形態】以下、この発明の実施形態について図面を参照しながら説明する。なお、実施形態の全図において、同一または対応する部分には同一の符号を付す。

【0029】図1はこの発明の第1の実施形態によるGaN系半導体レーザを示し、図2はこのGaN系半導体レーザの基板表面付近の一部を拡大して示す。このGaN系半導体レーザはSCH (Separate Confinement Heterostructure) 構造を有するものである。

【0030】図1および図2に示すように、この第1の実施形態によるGaN系半導体レーザにおいては、c面サファイア基板1上に、GaNバッファ層2を介して、アンドープGaN層3、n型GaNコンタクト層4、n型AlGaNクラッド層5、n型GaN光導波層6、 $Ga_{1-x}In_xN/Ga_{1-y}In_yN$ 多重量子井戸構造の活性層7、p型AlGaNキャップ層8、p型GaN光導波層9、p型AlGaNクラッド層10およびp型GaNコンタクト層11が順次積層されている。ここで、p型AlGaNキャップ層8は、p型GaN光導波層9、p型AlGaNクラッド層10およびp型GaNコンタクト層11を1000℃程度の温度で成長させる際に $Ga_{1-x}In_xN/Ga_{1-y}In_yN$ 多重量子井戸構造の活性層7からInNが分解するのを防止するとともに、活性層7からの電子のオーバーフローを防止するた

めのものである。

【0031】Ga_Nバッファ層2は厚さが例えば30nmであり、アンドープGa_N層3は厚さが例えば1μmである。n型Ga_Nコンタクト層4は厚さが例えば4μmであり、n型不純物として例えばSiがドーパされている。n型AlGa_Nクラッド層5は厚さが例えば0.5μmであり、n型不純物として例えばSiがドーパされている。n型Ga_N光導波層6は厚さが例えば0.1μmであり、n型不純物として例えばSiがドーパされている。p型AlGa_Nキャップ層8は厚さが例えば20nmであり、p型不純物として例えばMgがドーパされている。p型Ga_N光導波層9は厚さが例えば0.1μmであり、p型不純物として例えばMgがドーパされている。p型AlGa_Nクラッド層10は厚さが例えば0.5μmであり、p型不純物として例えばMgがドーパされている。また、n型AlGa_Nクラッド層5およびp型AlGa_Nクラッド層10のAl組成比は例えば0.07、p型AlGa_Nキャップ層8のAl組成比は例えば0.16である。Ga_{1-x}In_xN/Ga_{1-y}In_yN多重量子井戸構造の活性層7については、例えばx=0.11、y=0.01、Ga_{1-x}In_xN層およびGa_{1-y}In_yN層の厚さは例えばそれぞれ3nmおよび6nm、井戸数は4である。n型AlGa_Nクラッド層5およびp型AlGa_Nクラッド層10のAl組成比は例えば0.07、p型AlGa_Nキャップ層8のAl組成比は例えば0.16である。

【0032】n型Ga_Nコンタクト層4の上層部、n型AlGa_Nクラッド層5、n型Ga_N光導波層6、Ga_{1-x}In_xN/Ga_{1-y}In_yN多重量子井戸構造の活性層7、p型AlGa_Nキャップ層8、p型Ga_N光導波層9、p型AlGa_Nクラッド層10およびp型Ga_Nコンタクト層11は所定幅のメサ形状を有する。また、このメサ部におけるp型AlGa_Nクラッド層10の上層部およびp型Ga_Nコンタクト層11には一方に延在する所定幅のリッジ部12が形成されている。メサ部の表面およびメサ部以外の部分のn型Ga_Nコンタクト層4の表面には例えばSiO₂膜のような絶縁膜13が設けられている。この絶縁膜13には、リッジ部12の上の部分に開口13aが、メサ部に隣接する部分のn型Ga_Nコンタクト層4の上の部分に開口13bが設けられている。そして、リッジ部12をまたぐようにp側電極14が設けられており、絶縁膜13の開口13aを通じてリッジ部12のp型Ga_Nコンタクト層11とオーミックコンタクトしている。このp側電極14は、例えばNi膜、Pt膜およびAu膜を順次積層したNi/Pt/Au構造を有する。また、絶縁膜13の開口13bを通じてn型Ga_Nコンタクト層4上にn側電極15がオーミックコンタクトして設けられている。このn側電極15は、例えばTi膜、Al膜、Pt膜およびAu膜を順次積層したTi/Al/Pt/Au構造を有す

る。

【0033】図2に示すように、この第1の実施形態においては、従来のGa_N系半導体レーザと異なり、c面サファイア基板1とその上の窒化物系III-V族化合物半導体層、具体的にはGa_Nバッファ層2との界面におけるc面サファイア基板1に凹部1aが多数、例えば10⁹cm⁻²程度の面密度で形成されている。これらの凹部1aの断面形状は三角形、台形など種々のものであってよく、それらの平面形状も図3に例示するような六角形、三角形、円形、これらが二つ以上組み合わせたものなど種々のものであってよい。これらの凹部1aの大きさは、例えば、深さが25nm以上、幅が30nm以上である。また、これらの凹部1aの内部は、結晶方位のそろったAl_xGa_{1-x}N結晶16で埋め込まれている。ここで、このAl_xGa_{1-x}N結晶16のAl組成比xは0.2以上である。また、サファイア結晶の(0006)反射とGa_N結晶の(0002)反射とを励起した電子顕微鏡像において、このAl_xGa_{1-x}N結晶16の部分で観察されるモアレ縞の間隔は、1.37~1.67nmである。

【0034】次に、上述のように構成されたこの第1の実施形態によるGa_N系半導体レーザの製造方法について説明する。

【0035】このGa_N系半導体レーザを製造するには、まず、図4に示すように、表面が平坦化および鏡面化加工されたc面サファイア基板1を用意し、このc面サファイア基板1を図示省略したMOCVD装置の反応管内に入れる。

【0036】次に、この反応管内で、水素ガス、アルゴンガスなどの不活性ガス、窒素ガスなどの雰囲気、好適には水素ガスのような還元性雰囲気において、基板温度を例えば1000~1300℃に設定して1~60分間熱処理することにより、c面サファイア基板1の表面のサーマルクリーニングを行うとともに、図5に示すように、表面に凹部1aを形成する。このとき、目的とする凹部1aの大きさや形状に応じて、基板温度および時間を調節する。

【0037】次に、基板温度を例えば520℃に下降させた後、図2に示すように、c面サファイア基板1の凹部1aが形成された表面上にMOCVD法によりGa_Nバッファ層2を成長させる。次に、基板温度を例えば1000℃まで上昇させ、MOCVD法により、Ga_Nバッファ層2上にアンドープGa_N層3、n型Ga_Nコンタクト層4、n型AlGa_Nクラッド層5、n型Ga_N光導波層6、Ga_{1-x}In_xN/Ga_{1-y}In_yN多重量子井戸構造の活性層7、p型AlGa_Nキャップ層8、p型Ga_N光導波層9、p型AlGa_Nクラッド層10およびp型Ga_Nコンタクト層11を順次成長させる。ただし、Inを含む層であるGa_{1-x}In_xN/Ga_{1-y}In_yN多重量子井戸構造の活性層7の成長は基

板温度を700~800℃として行う。これらのGaN系半導体層の成長原料は、例えば、III族元素であるGaの原料としてはトリメチルガリウム(TMg)を、III族元素であるAlの原料としてはトリメチルアルミニウム(TMA)を、III族元素であるInの原料としてはトリメチルインジウム(TMI)を、V族元素であるNの原料としてはアンモニア(NH₃)を用いる。また、キャリアガスとしては、例えば、水素(H₂)と窒素(N₂)との混合ガスを用いる。ドーパントについては、n型ドーパントとしては例えばモノシラン(SiH₄)を、p型ドーパントとしては例えばメチルシクロペンタジエニルマグネシウム((MCP)₂Mg)を用いる。

【0038】上述のサーマルクリーニングから窒化物系III-V族化合物半導体層の成長までの基板温度シーケンスの一例を図6に示す。

【0039】GaNバッファ層2の成長後の基板温度上昇中の熱処理により、c面サファイア基板1の凹部1aの内部に埋め込まれたGaNバッファ層2が固相エピタキシャル成長により結晶化するとともに、この結晶にc面サファイア基板1からAlが拡散する。これによって、この凹部1aの内部に、結晶方位のそろったAl_xGa_{1-x}N結晶16が形成される。透過電子顕微鏡によるモアレ縞の間隔の測定によれば、この方法により、Al_xGa_{1-x}N結晶16のAl組成比xを最大で0.95にもすることができることが可能である。また、この結晶化およびAl拡散の過程で、c面サファイア基板1とAl_xGa_{1-x}N結晶16とがAlを共有して強固に結合する。また、このAl_xGa_{1-x}N結晶16はc面サファイア基板1との格子定数差がGaNに比べて小さいことにより、c面サファイア基板1とGaNバッファ層2との格子定数差が緩和される。さらに、Al_xGa_{1-x}N結晶16およびその上のGaNバッファ層2の全体で見ると、Al組成比が下から上にむかって徐々に減少する構造となっているため、c面サファイア基板1との格子不整が徐々に緩和されている。そして、Al_xGa_{1-x}N結晶16を核としてGaNバッファ層2の結晶化が進行し、最終的に優れた結晶性のGaNバッファ層2が得られる。このため、この結晶性に優れたGaNバッファ層2上に成長されるアンドープGaN層3、n型GaNコンタクト層4、n型AlGaNクラッド層5、n型GaN光導波層6、Ga_{1-x}In_xN/Ga_{1-y}In_yN多重量子井戸構造の活性層7、p型AlGaNキャップ層8、p型GaN光導波層9、p型AlGaNクラッド層10およびp型GaNコンタクト層11の結晶性も優れたものとなる。

【0040】次に、p型GaNコンタクト層11の全面に例えばCVD法、真空蒸着法、スパッタリング法などにより例えば厚さが0.4μmのSiO₂膜を形成した後、このSiO₂膜上にリソグラフィーにより所定形状

のレジストパターン(図示せず)を形成し、このレジストパターンをマスクとして例えばフッ酸系のエッチング液を用いたウエットエッチングによりSiO₂膜をエッチングする。これによって、p型GaNコンタクト層11上にSiO₂膜からなるマスク(図示せず)が形成される。

【0041】次に、このマスクを用いて例えば反応性イオンエッチング(RIE)法によりn型GaNコンタクト層4に達するまでエッチングを行う。このとき、例えば、n型GaNコンタクト層4が0.5μmエッチングされるようにする。このRIEのエッチングガスとしては例えば塩素系ガスを用いる。

【0042】次に、マスクをエッチング除去した後、再び基板全面に例えばCVD法、真空蒸着法、スパッタリング法などにより例えば厚さが0.2μmのSiO₂膜を形成した後、このSiO₂膜上にリソグラフィーにより所定形状のレジストパターン(図示せず)を形成し、このレジストパターンをマスクとして例えばフッ酸系のエッチング液を用いたウエットエッチングによりSiO₂膜をエッチングする。これによって、メサ部を含む基板表面にSiO₂膜からなるマスク(図示せず)が形成される。

【0043】次に、このマスクを用いて例えばRIE法によりp型GaNコンタクト層11の厚さ方向の所定の深さまでエッチングを行うことにより溝を形成し、リッジ部12を形成する。このRIEのエッチングガスとしては例えば塩素系ガスを用いる。

【0044】次に、リソグラフィーによりn側電極形成領域を除いた領域の表面を覆うレジストパターン(図示せず)を形成する。

【0045】次に、このレジストパターンをマスクとして絶縁膜13をエッチングすることにより、開口13bを形成する。

【0046】次に、レジストパターンを残したままの状態では基板全面に例えば真空蒸着法によりTi膜、Al膜、Pt膜およびAu膜を順次形成した後、レジストパターンをその上に形成されたTi膜、Al膜、Pt膜およびAu膜とともに除去する(リフトオフ)。これによって、絶縁膜13の開口13bの部分におけるn型GaNコンタクト層4上にTi/Al/Pt/Au構造のn側電極15が形成される。

【0047】次に、例えば、窒素ガス雰囲気中において800℃で10分熱処理を行うことにより、p型AlGaNキャップ層8、p型GaN光導波層9、p型AlGaNクラッド層10およびp型GaNコンタクト層11にドーパされたp型不純物の電気的活性化を行うとともに、n側電極15のアロイ処理を行う。

【0048】次に、リソグラフィーによりリッジ部12の領域を除いた領域の表面を覆うレジストパターン(図示せず)を形成する。

【0049】次に、レジストパターンをマスクとして絶縁膜13をエッチングすることにより開口13aを形成し、リッジ部12の上面を露出させる。

【0050】次に、リソグラフィーによりp側電極形成領域を除いた領域の表面を覆うレジストパターン（図示せず）を形成する。

【0051】次に、基板全面に例えば真空蒸着法によりNi膜、Pt膜およびAu膜を順次形成した後、レジストパターン22をその上に形成されたNi膜、Pt膜およびAu膜とともに除去する。これによって、図1に示すように、リッジ部12にまたがって、Ni/Pt/Au構造のp側電極14が形成される。次に、例えば、窒素ガス雰囲気中において600℃で20分熱処理を行うことにより、p側電極14のアロイ処理を行う。

【0052】この後、上述のようにしてレーザ構造が形成されたc面サファイア基板1をバー状に加工して両共振器端面を形成し、さらに端面コーティングを施した後、このバーをチップ化する。これによって、目的とするリッジ構造およびSCH構造のGa_{0.5}N系半導体レーザが製造される。

【0053】以上のように、この第1の実施形態によれば、c面サファイア基板1の一面に凹部1aを設け、この一面上に基板温度520℃でGa_{0.5}Nバッファ層2を成長させた後、基板温度を1000℃に上昇させ、その過程で、凹部1aに埋め込まれたGa_{0.5}Nバッファ層2を固相成長により結晶化させるとともに、Alを拡散させてAl_xGa_{1-x}N結晶16とし、さらにこのAl_xGa_{1-x}N結晶16を核としてGa_{0.5}Nバッファ層2全体を結晶化させることによりGa_{0.5}Nバッファ層2全体を結晶化していることにより、このGa_{0.5}Nバッファ層2上に成長させるアンドープGa_{0.5}N層3、n型Ga_{0.5}Nコンタクト層4、n型AlGa_{0.5}Nクラッド層5、n型Ga_{0.5}N光導波層6、Ga_{0.5-x}In_xN/Ga_{0.5-y}In_yN多重量子井戸構造の活性層7、p型AlGa_{0.5}Nキャップ層8、p型Ga_{0.5}N光導波層9、p型AlGa_{0.5}Nクラッド層10およびp型Ga_{0.5}Nコンタクト層11の結晶性も優れたものとする。これによって、高性能、長寿命、高信頼性のGa_{0.5}N系半導体レーザを実現することができる。

【0054】次に、この発明の第2の実施形態について説明する。

【0055】この第2の実施形態においては、第1の実施形態と同様にして、c面サファイア基板1の表面に凹部1aを形成した後、このc面サファイア基板1の表面を高温、例えば1000℃程度の温度で窒素を含む原料ガス、例えばアンモニアガスにさらして窒化し、AlとNを含む窒化層を形成する。この後、第1の実施形態と同様にして、Ga_{0.5}Nバッファ層2の成長以降の工程を進め、目的とするGa_{0.5}N系半導体レーザを製造する。

【0056】この第2の実施形態によれば、第1の実施

形態と同様な利点に加えて、次のような利点を得ることができる。すなわち、c面サファイア基板1の表面に凹部1aを形成し、さらにこの表面に窒化層を形成してからGa_{0.5}Nバッファ層2を成長させていることにより、この窒化層と凹部1aに埋め込まれたGa_{0.5}Nバッファ層2との間でのAlの拡散反応によってGa_{0.5}Nバッファ層2にAlが拡散し、逆に窒化層にGaが拡散する。そして、この結果、Alの拡散を大幅に促進することができ、Al組成比xの高いAl_xGa_{1-x}N結晶16を形成する場合に有利となる。

【0057】次に、この発明の第3の実施形態について説明する。

【0058】図7に示すように、この第3の実施形態によるGa_{0.5}N系半導体レーザにおいては、c面サファイア基板1とGa_{0.5}Nバッファ層2との界面全体に、結晶方位のそろったAl_xGa_{1-x}N結晶16が凹部1aを埋め込むように形成されている。その他のことは第1の実施形態によるGa_{0.5}N系半導体レーザと同様である。

【0059】この第3の実施形態によれば、第1の実施形態と同様な利点を得ることができる。

【0060】次に、この発明の第4の実施形態について説明する。

【0061】この第4の実施形態においては、第1の実施形態と同様にしてc面サファイア基板1の表面に凹部1aを形成した後、基板温度を520℃に降下させ、基板温度をこの温度から1000℃まで上昇させながら、c面サファイア基板1上に直接アンドープGa_{0.5}N層2を成長させ、引き続いてその上に第1の実施形態と同様にしてn型Ga_{0.5}Nコンタクト層3以降の層を成長させる。このときのサーマルクリーニングから窒化物系III-V族化合物半導体層の成長までの基板温度シーケンスの一例を図8に示す。

【0062】この第4の実施形態によれば、c面サファイア基板1の凹部1aからアンドープGa_{0.5}N層2の結晶化が起きることにより、アンドープGa_{0.5}N層2全体の結晶性を優れたものとすることができ、これによってその上に成長させる窒化物系III-V族化合物半導体層の結晶性も優れたものとする。ことができる。

【0063】次に、この発明の第5の実施形態について説明する。

【0064】図9および図10に示すように、この第5の実施形態によるGa_{0.5}N系半導体レーザにおいては、c面サファイア基板1の表面に、一方向（例えば、〈11-20〉方向）に互いに平行に延びる複数の直線状の凹部1aが設けられ、この凹部1aの内部にAl_xGa_{1-x}N結晶16が埋め込まれている。その他のことは、第1の実施形態と同様である。

【0065】この第5の実施形態によるGa_{0.5}N系半導体レーザの製造方法は、c面サファイア基板1の凹部1aの形成方法が異なることを除いて、第1の実施形態によ

るGaN系半導体レーザの製造方法と同様である。この第5の実施形態においては、凹部1aは、表面が平坦化および鏡面化加工されたc面サファイア基板1上にリソグラフィにより所定のストライプ形状のレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとしてc面サファイア基板1をドライエッチングにより所定深さまでエッチングすることにより形成する。

【0066】この第5の実施形態によれば、第1の実施形態と同様な利点を得ることができる。

【0067】次に、この発明の第6の実施形態について説明する。

【0068】図11および図12に示すように、この第6の実施形態によるGaN系半導体レーザにおいては、c面サファイア基板1の表面に、六角形の平面形状の凹部1aが二次元アレイ状に設けられ、この凹部1aの内部に $Al_xGa_{1-x}N$ 結晶16が埋め込まれている。その他のことは、第1の実施形態と同様である。

【0069】この第5の実施形態によるGaN系半導体レーザの製造方法は、c面サファイア基板1の凹部1aの形成方法が異なることを除いて、第1の実施形態によるGaN系半導体レーザの製造方法と同様である。すなわち、この第5の実施形態においては、凹部1aは、表面が平坦化および鏡面化加工されたc面サファイア基板1上にリソグラフィにより所定の六角形状のレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとしてc面サファイア基板1をドライエッチングにより所定深さまでエッチングすることにより形成する。

【0070】この第6の実施形態によれば、第1の実施形態と同様な利点を得ることができる。

【0071】以上、この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0072】例えば、上述の第1～第6の実施形態において挙げた数値、構造、原料、プロセスなどはあくまでも例に過ぎず、必要に応じて、これらと異なる数値、構造、原料、プロセスなどを用いてもよい。

【0073】また、上述の第1～第4の実施形態においては、MOCVD装置の反応管内でc面サファイア基板1の表面をサーマルクリーニングすることにより凹部1aを形成しているが、別の装置でc面サファイア基板1の表面にサーマルクリーニングにより凹部1aを形成した後、このc面サファイア基板1をMOCVD装置の反応管内に移してから再度サーマルクリーニングを行い、その後成長を行うようにしてもよい。

【0074】また、第1～第3、第5および第6の実施形態においては、バッファ層としてGa_{0.9}N_{0.1}バッファ層2を成長させているが、バッファ層としては一般的にはA

$l_xGa_{1-x-y}In_yN$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$) 層を用いることができる。

【0075】さらに、上述の第1～第6の実施形態においては、この発明をSCH構造のGa_{0.9}N_{0.1}系半導体レーザに適用した場合について説明したが、この発明は、DH (Double Heterostructure) 構造のGa_{0.9}N_{0.1}系半導体レーザに適用することもできる。また、活性層7として単一量子井戸構造のものを用いてもよい。また、レーザ構造としては、利得導波型または屈折率導波型半導体レーザを実現するリッジ導波路型、内部電流狭窄型、構造基板型、縦モード制御型（分布帰還 (DFB) 型または分布ブラッグ反射 (DBR) 型半導体レーザ）などの各種のものを用いることができる。また、この発明は、Ga_{0.9}N_{0.1}系発光ダイオードに適用することもでき、さらには、Ga_{0.9}N_{0.1}系FETなどの電子走行素子に適用することもできる。

【0076】

【発明の効果】以上説明したように、この発明によれば、サファイア基板の一主面に複数の凹部が設けられていることにより、このサファイア基板上における窒化物系III-V族化合物半導体層の成長を複数の結晶方向および結晶面によって制限することができる。このため、サファイア基板とその上に成長する窒化物系III-V族化合物半導体との結晶方位関係をより正確に一致させることができ、窒化物系III-V族化合物半導体層の結晶性を優れたものとすることができる。

【図面の簡単な説明】

【図1】この発明の第1の実施形態によるGa_{0.9}N_{0.1}系半導体レーザの共振器長方向に垂直な断面図である。

【図2】この発明の第1の実施形態によるGa_{0.9}N_{0.1}系半導体レーザの一部を拡大して示す断面図である。

【図3】この発明の第1の実施形態によるGa_{0.9}N_{0.1}系半導体レーザにおいてc面サファイア基板の表面に形成する凹部の平面形状の例を示す平面図である。

【図4】この発明の第1の実施形態によるGa_{0.9}N_{0.1}系半導体レーザの製造方法を説明するための断面図である。

【図5】この発明の第1の実施形態によるGa_{0.9}N_{0.1}系半導体レーザの製造方法を説明するための断面図である。

【図6】この発明の第1の実施形態によるGa_{0.9}N_{0.1}系半導体レーザの製造方法における基板温度シーケンスの一例を示す略線図である。

【図7】この発明の第3の実施形態によるGa_{0.9}N_{0.1}系半導体レーザの製造方法を説明するための断面図である。

【図8】この発明の第4の実施形態によるGa_{0.9}N_{0.1}系半導体レーザの製造方法における基板温度シーケンスの一例を示す略線図である。

【図9】この発明の第5の実施形態によるGa_{0.9}N_{0.1}系半導体レーザの一部を拡大して示す断面図である。

【図10】この発明の第5の実施形態によるGa_{0.9}N_{0.1}系半導体レーザの製造方法を説明するための平面図である。

【図11】この発明の第6の実施形態によるGaN系半導体レーザの一部を拡大して示す断面図である。

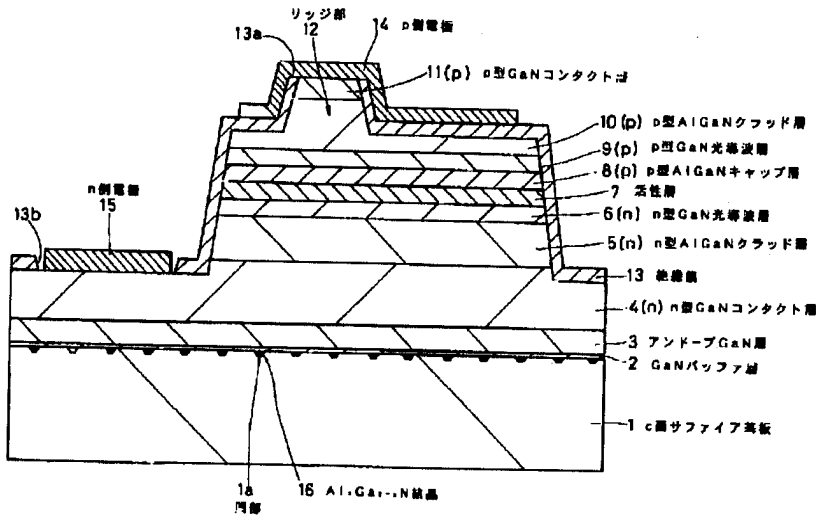
【図12】この発明の第6の実施形態によるGaN系半導体レーザの製造方法を説明するための平面図である。

【符号の説明】

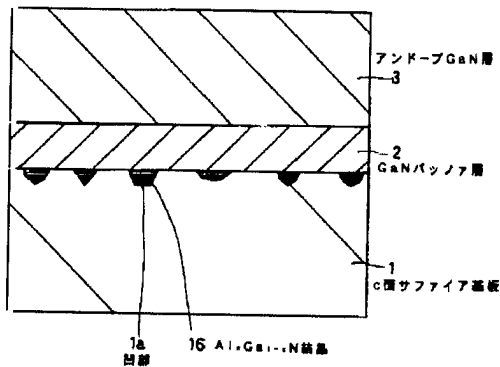
1・・・c面サファイア基板、1a・・・凹部、2・・・GaNバッファ層、3・・・アンドープGaN層、4

・・・n型GaNコンタクト層、5・・・n型AlGa
Nクラッド層、6・・・n型GaN光導波層、7・・・
活性層、8・・・p型AlGa
Nキャップ層、9・・・
p型GaN光導波層、10・・・p型AlGa
Nクラッド層、11・・・p型GaNコンタクト層、12・・・
リッジ部、13・・・絶縁膜、14・・・p側電極、1
5・・・n側電極、16・・・ $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 結晶

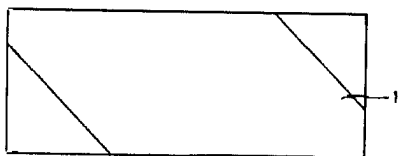
【図1】



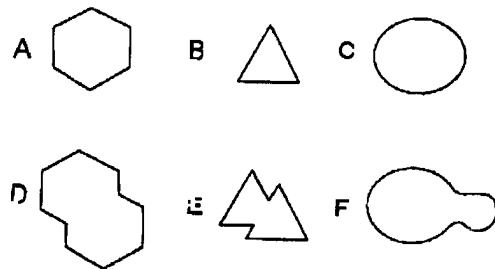
【図2】



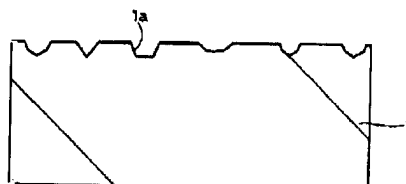
【図4】



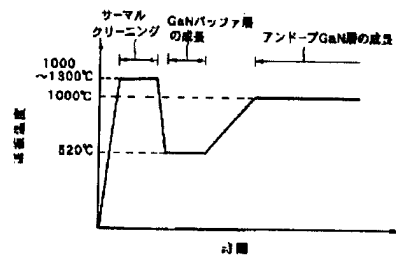
【図3】



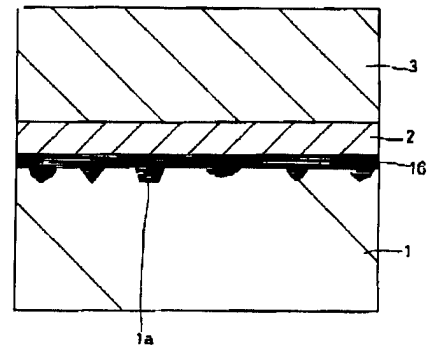
【図5】



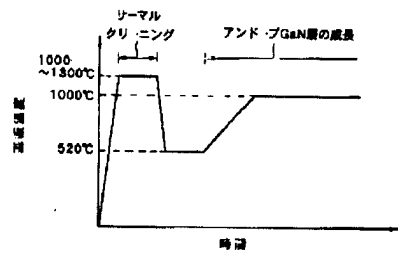
【図6】



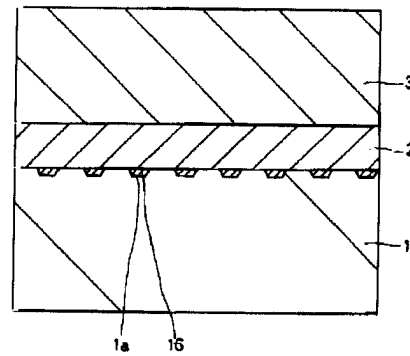
【図7】



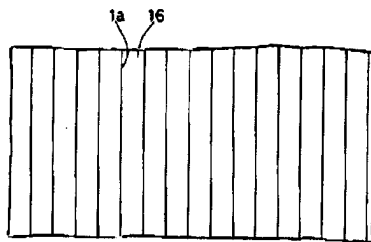
【図8】



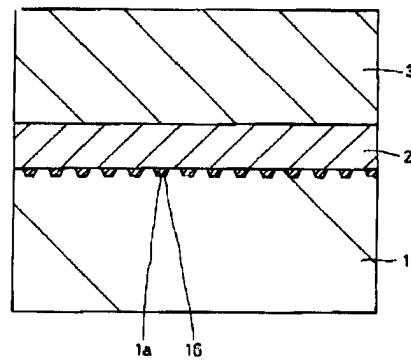
【図9】



【図10】



【図11】



【図12】

